

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 63-037893

(43) Date of publication of application : 18. 02. 1988

---

(51) Int. Cl. G11C 11/34

---

(21) Application number : 61-178743 (71) Applicant : OKI ELECTRIC IND CO LTD

(22) Date of filing : 31. 07. 1986 (72) Inventor : KASHIWAKURA TOSHIHIKO

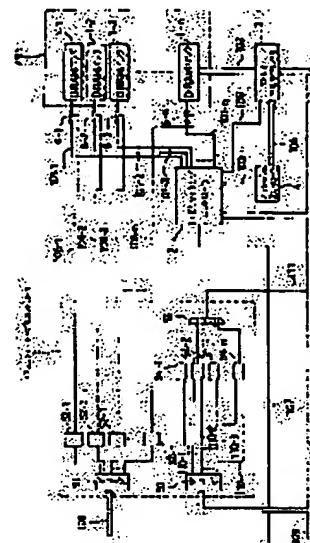
---

## (54) STORAGE DEVICE

### (57) Abstract:

**PURPOSE:** To save power consumption by sending a refresh timing signal to each D.RAM bank based on information stored in a storage means corresponding to each D.RAM to apply refreshing to only a bank receiving the said signal.

**CONSTITUTION:** In controlling the software of a word processor from an operating system, the operation system gives an instruction to a refresh-enable control circuit 5 so as not to refresh a D.RAM bank not programmed to set to reset registers 52-1\$52-n. In accessing the bank not refreshed for the storage of text, a disable bank access signal line 111 is active to inform the state to a CPU. The CPU gives an instruction of the refresh of the bank to the circuit 5 and in case of the enable state, information is written. Through the constitution above, since only minimum banks are refreshed, the refresh power consumption is reduced remarkably.




---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-37893

⑬ Int.Cl.<sup>4</sup>

G 11 C 11/34

識別記号

363

厅内整理番号

J-8522-5B

⑭ 公開 昭和63年(1988)2月18日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 記憶装置

⑯ 特願 昭61-178743

⑰ 出願 昭61(1986)7月31日

⑱ 発明者 柏倉俊彦 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
⑲ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
⑳ 代理人 弁理士 吉田精孝

明細書

1. 発明の名称

記憶装置

2. 特許請求の範囲

ダイナミック・ランダムアクセスメモリ (D·RAM) により、複数のパンク (D·RAMパンク) を構成したメモリを有する記憶装置において、

各D·RAMパンクの記憶内容をリフレッシュすべきか否かを示す情報を記憶する手段と、

前記情報に応じて、各D·RAMパンクにリフレッシュ用のタイミング信号を送出するか否かを選択するスイッチ手段とを設けたことを特徴とする記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ダイナミック・ランダムアクセスメモリ (以下、D·RAMと称す。) を使用した記憶装置に関するものである。

(従来の技術)

第2図は従来のD·RAMを用いた記憶装置の一構成例を示すブロック図で、メモリ1は1個のD·RAMチップからなるD·RAMバンクを複数、ここではn個組合せてなる。各D·RAMバンク1-1, 1-2, ……1-nへは、メモリタイミングコントローラ2から各種のタイミング信号、即ちロウ・アドレス・ストローブ (RAS) 信号、カラム・アドレス・ストローブ (CAS) 信号およびライト・イネーブル (WE) 信号を送出する信号線 (実際には各信号毎に信号線が設けられているが、図面上では各D·RAMバンクに対して1本の線として示す。) 101-1, 101-2, ……101-nが接続され、また、アドレスマルチプレクサ3からメモリ・アドレス信号を送出する信号線102が接続されている。

リフレッシュを行なう際には、リフレッシュコントローラ4からメモリタイミングコントローラ2へ、リフレッシュ・リクエスト信号線103を介して、リフレッシュのタイミングを発生するよう要求し、アドレスマルチプレクサ3へは、リ

## 特開昭63-37893 (2)

フレッシュ・アドレス信号線104を介してリフレッシュアドレスを出力する。

メモリタイミングコントローラ2はリフレッシュ要求を受けると、アドレスマルチプレクサ3に対してメモリ・アドレス信号線102にリフレッシュ・アドレスを出力するよう、マルチブレックス(MPX)信号線105を駆動するとともに、全てのD・RAMバンク1-1~1-nに対して、リフレッシュを行なうよう、タイミング信号線101-1~101-n中のRAS信号線にパルスを与える。

このため、全てのD・RAMバンク1-1~1-nにおいて、一齊にリフレッシュが行なわれる如くなっていた。

### (発明が解決しようとする問題点)

しかしながら前記装置では、システムが必要とするデータが全くない、即ち内容の保持の必要性のないD・RAMバンクに対してもリフレッシュを行なっていたため、リフレッシュ時に無駄な電力を消費するという問題点があった。

ないD・RAMはリフレッシュされない。

### (実施例)

第1図は本発明の一実施例を示すもので、図中、第2図と同一構成部分は同一符号をもって表わす。即ち、1はD・RAMバンク1-1~1-nからなるメモリ、2はメモリタイミングコントローラ、3はアドレスマルチプレクサ、4はリフレッシュコントローラ、5はリフレッシュイネーブルコントローラ、6-1, 6-2, ..., 6-nはスイッチである。また、第3図(a)(b)はリフレッシュする場合、およびリフレッシュしない場合における各部の信号を示す図である。

リフレッシュイネーブルコントローラ5は、スイッチ6-1~6-nを制御し、アドレス監視を行なうもので、51はCPU(図示せず)等からの命令を解析するデコーダ、52-1, 52-2, ..., 52-nは命令による情報を保持し、スイッチ6-1~6-nの開閉を制御するレジスタ、53はアドレスをメモリバンク毎にデコードするデコーダ、54-1, 54-2, ..., 54-nは

本発明は前記問題点を除去し、D・RAMを使用した消費電力の少ない記憶装置を提供することを目的とする。

### (問題点を解決するための手段)

本発明では前記問題点を解決するため、ダイナミック・ランダムアクセスメモリ(D・RAM)により、複数のバンク(D・RAMバンク)を構成したメモリを有する記憶装置において、各D・RAMバンクの記憶内容をリフレッシュすべきか否かを示す情報を記憶する手段と、前記情報に応じて、各D・RAMバンクにリフレッシュ用のタイミング信号を送出するか否かを選択するスイッチ手段とを設けた。

### (作用)

本発明によれば、各D・RAMバンクに対する記憶手段に記憶された情報に基づいて、各D・RAMバンクにリフレッシュ用のタイミング信号が送出され、又は送出されず、該タイミング信号が送出されたD・RAMバンクのみ、その内容がリフレッシュされ、タイミング信号が送出され

デコーダ53の出力がアクティブになった時、レジスタ52-1~52-nの状態を調べる比較器、55は比較器54-1~54-nの各出力を入力とするn入力オアグートである。

スイッチ6-1~6-nは、各信号線101-1~101-nの途中に設けられ、リフレッシュイネーブルコントローラ5よりの制御線106-1, 106-2, ..., 106-nの状態に応じて、電気的に開閉を行なう如くなっている。

メモリタイミングコントローラ2はメモリ・アクセス・リクエスト信号線107からの信号、又はリフレッシュ・リクエスト信号線103からの信号により、信号線101-1~101-nを介してD・RAMバンク1-1~1-nへ制御のためのRAS信号、CAS信号、WE信号を出力し、これとともにアドレスマルチプレクサ3に対して、MPX信号線105を介してMPX信号を出力する。

アドレスマルチプレクサ3はこのMPX信号に基づいて、第3図(a)(b)に示すように、D・RAM1-1~1-nに対して出力するアドレス信

月の別アドレスおよび行アドレスの切替を行ない、また、リフレッシュを行なう際にはリフレッシュ・アドレスを出力する。

D・RAMバンク1-1～1-nに出力される信号のうち、信号線101-1～101-nを介して送られるRAS, CAS, WEの各タイミング信号は、スイッチ6-1～6-nを経てD・RAMバンク1-1～1-nへ送出される。

リフレッシュ・イネーブルコントローラ1へは、信号線108を介してCPU等から制御信号が与えられ、該制御信号はデコーダ51により解析され、レジスタ52-1～52-nのいずれかが選択され、リフレッシュ・イネーブル制御線106-1～106-nの状態を定める。この制御線106-1～106-nはスイッチ6-1～6-nを制御し、その回路の開閉を行なう。

また、リフレッシュ・イネーブル制御線106-1～106-nはそれぞれ比較器54-1～54-nの入力の一方に接続されており、比較器54-1～54-nの他方の入力にはアドレスバス

これによりレジスタ52-1～52-nをセットし、又はリセットする。この結果、プログラムが在駐するD・RAMバンク以外はリフレッシュが行なわれなくなる。

ワードプロセッサを用いてテキストを入力していくと、データはだんだん大きくなるが、リフレッシュが行なわれていないD・RAMバンクへテキストを格納しようとアクセスすると、ディセブル・バンク・アクセス信号線111がアクティブとなり、このことをCPUへ知らせる。これによりCPUはアクセスしようとしたD・RAMバンクのリフレッシュを行なうよう、リフレッシュ・イネーブル・コントローラ5へ命令を送る。リフレッシュが開始され、使用可能な状態になると、先に格納しようとしたデータを再び書き込む。

このようにして保持すべきデータ量が増え、より多くのメモリが必要となれば、リフレッシュを行なうD・RAMバンクを増やし、不要になれば再びリフレッシュをやめることができる。

(発明の効果)

109中のアドレス信号をデコーダ53によりデコードしたアドレスデコード信号線110-1～110-nが接続されている。

このアドレスデコード信号線110-1～110-nは、対応するD・RAMバンクが選択された時にアクティブになり、接続されている比較器54-1～54-nが、リフレッシュイネーブル制御線106-1～106-nの状態を調べ、リフレッシュが行なわれていない場合には、ディセブル・バンク・アクセス信号線111によりCPU等に知らせる。

次に、本発明の記憶装置をワードプロセッサに使用した場合を例にとって、その動作を説明する。

まず、オペレーティングシステム(以下、OSと称す。)からワードプロセッサのソフトウェアに制御が渡されるが、この時、OSはプログラムがロードされなかったD・RAMバンクについて、リフレッシュを行なわないよう、リフレッシュ・イネーブル・コントローラ5へ命令を出し、

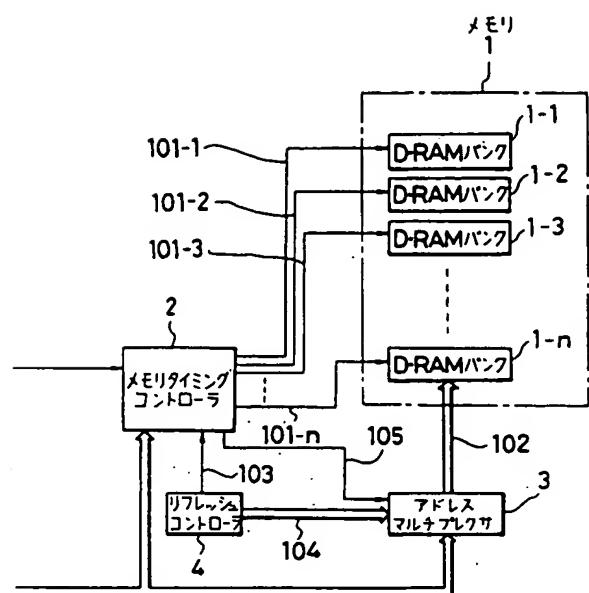
以上説明したように本発明によれば、使用しているメモリ領域を含む最小のD・RAMバンクのみをリフレッシュすることができるため、リフレッシュに要する電力の消費量を著しく低減することができ、バッテリ駆動を行なう装置や、一般家庭で用いる装置のように、特に消費電力が問題となる装置において有効であり、また、使用するソフトウェア等の条件により、必要とするメモリ量が大きく変化するパーソナルコンピュータやD・RAMを大量に使用したメモリ・ディスク装置等にも効果的に用いることができる。

#### 4. 図面の簡単な説明

第1図は本発明の記憶装置の一実施例を示すブロック図、第2図は従来の記憶装置の一例を示すブロック図、第3図(a)(b)はメモリアクセス時およびリフレッシュ時における各部の信号波形図で、第3図(a)はリフレッシュを行なうD・RAMバンクにおける波形図、第3図(b)はリフレッシュを行なわないD・RAMバンクにおける波形図である。

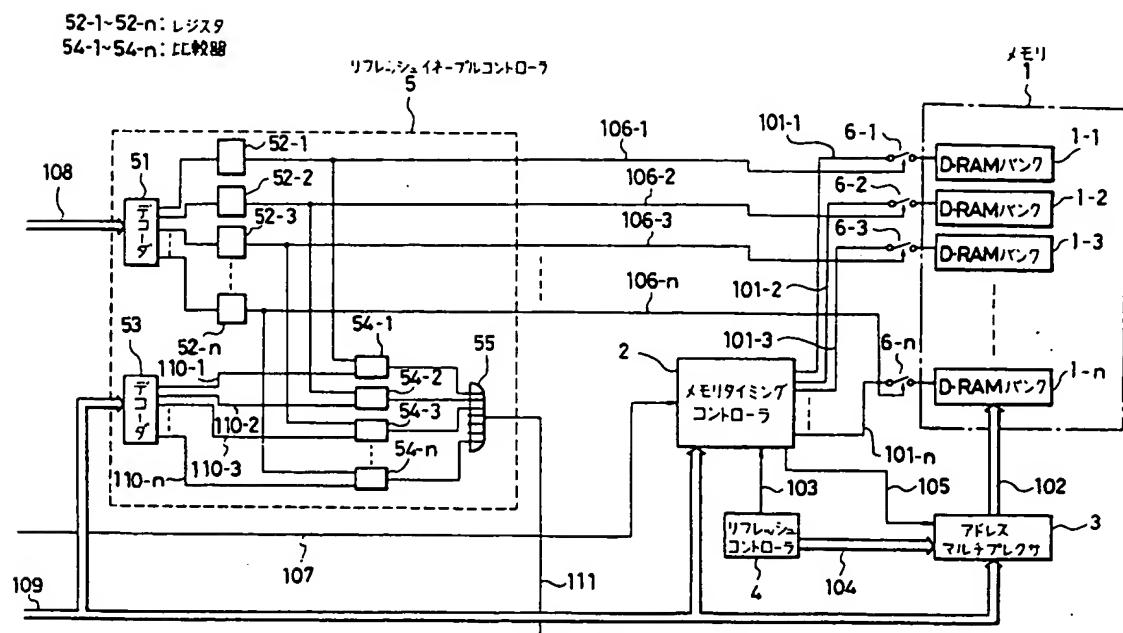
1…メモリ、1-1～1-n…D・RAMバンク、2…メモリタイミングコントローラ、3…アドレスマルチプレクサ、4…リフレッシュコントローラ、5…リフレッシュイネーブルコントローラ、52-1～52-n…レジスタ、6-1～6-n…スイッチ。

特許出願人 沖電気工業株式会社  
代理人弁理士 古田精孝



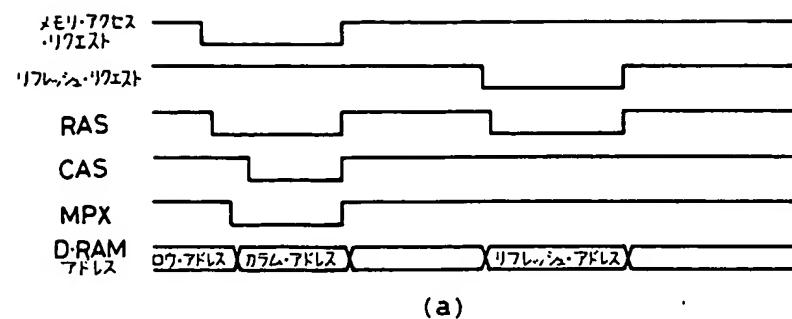
従来の記憶装置の一例を示す図

第2図

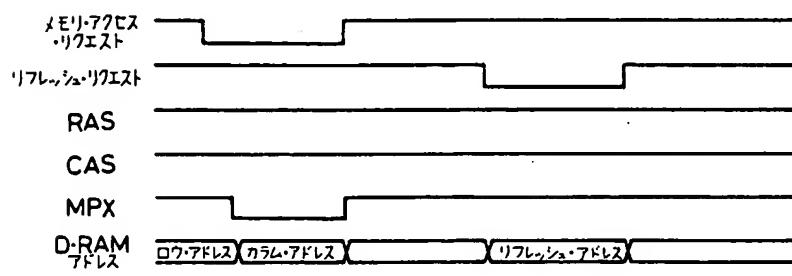


本発明の記憶装置の一実施例を示す図

第1図



(a)



(b)

メモリアクセス時およびリフレッシュ時の各部の波形図

第3図